

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-320480

(43)公開日 平成7年(1995)12月8日

(51)Int.Cl.⁶

識別記号

府内整理番号

F I

技術表示箇所

G 11 C 11/401

H 01 L 27/108

21/8242

7735-4M

G 11 C 11/ 34

3 7 1 K

H 01 L 27/ 10

6 8 1 E

審査請求 有 請求項の数12 OL (全 13 頁)

(21)出願番号

特願平7-119433

(22)出願日

平成7年(1995)5月18日

(31)優先権主張番号 1994 P 11050

(32)優先日 1994年5月20日

(33)優先権主張国 韓国 (KR)

(71)出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72)発明者 徐 東一

大韓民国京畿道水原市八達区達川洞35番地

住公アパート108棟805号

(72)発明者 丁 世鎮

大韓民国ソウル特別市麻浦区新孔徳洞90番地1号

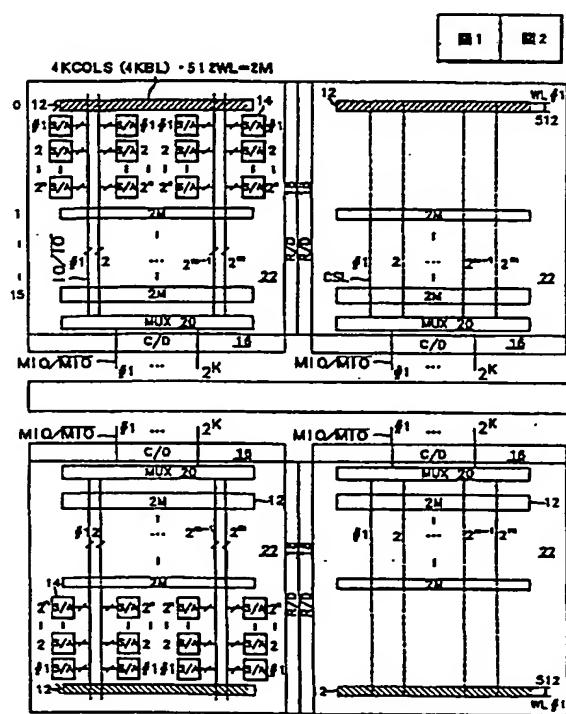
(74)代理人 弁理士 高月 猛

(54)【発明の名称】 高帯域幅を可能とした半導体メモリ装置

(57)【要約】

【目的】 容易に高帯域幅が得られるチップアーキテクチャで構成した半導体メモリ装置を提供する。

【構成】 長方形状のメモリセルアレイのアレイ長手方向へワード線を配線すると共にその直交方向へビット線を配線し、そして、前記直交方向へ、データ入出力線 (I/O/バーI/O) 及びこのデータ入出力線とビット線との接続選択のための列選択線 (CSL) を配線する。更に、データ入出力線を所定数ずつマルチプレクサ20を介してメインデータ入出力線 (MIO/MIO) へ接続する。アレイ上ではデータ入出力線と列選択線の基本構成を繰り返し配線できるので集積性に優れ、高帯域幅を容易に実現できる。アクセスでは、長手方向へ配線したワード線方向へ単位アレイ12の活性化が行われ、各サブアレイ22の単位アレイ12に対しメインデータ入出力線数分のデータをアクセスできる。



【特許請求の範囲】

【請求項1】 メモリセルを長方形状に集積したメモリセルアレイを有する半導体メモリ装置において、それぞれ多数のメモリセルを貯蔵した複数の基準ブロックからメモリセルアレイを構成し、そして、アレイ長手方向へ配線したワード線と、前記長手方向の直交方向へ配線したピット線対と、アレイ上部で前記直交方向へ配線して所定数のピット線対ごとに1つずつ設けたデータ入出力線対と、基準ブロックごとにピット線対及びデータ入出力線対の間を選択接続するための前記直交方向へ配線した列選択線と、を備えることを特徴とする半導体メモリ装置。

【請求項2】 列選択線を、データ入出力線対の対間に配線した請求項1記載の半導体メモリ装置。

【請求項3】 メモリセルを長方形状に集積したメモリセルアレイを有する半導体メモリ装置において、それぞれ多数のメモリセルを貯蔵した複数の基準ブロックをアレイ長手方向へ配設した単位アレイからメモリセルアレイを構成し、そして、前記長手方向へ配線したワード線と、前記長手方向の直交方向へ配線したピット線対と、ワード線を選択するための行デコーダと、ピット線対を選択するための列デコーダと、所定数のピット線対ごとに1つずつ設け且つ所定数の単位アレイ共通に使用するようにして前記直交方向へ配線したデータ入出力線対と、基準ブロックごとにピット線対及びデータ入出力線対の間を選択接続するため、データ入出力線対の対間に前記直交方向へ配線した列選択線と、前記直交方向へ配線して所定数のデータ入出力線対ごとに1つずつ設けたメインデータ入出力線対と、を備え、メモリ活性化時に前記長手方向へ単位アレイが活性化されることを特徴とする半導体メモリ装置。

【請求項4】 メモリセルを長方形状に集積したメモリセルアレイを有する半導体メモリ装置において、多数のメモリセルを貯蔵した基準ブロックと、この基準ブロックをアレイ長手方向へ複数ずつ配設してなる単位アレイと、この単位アレイを前記長手方向の直交方向へ複数ずつ配設してなるサブアレイと、からメモリセルアレイを構成し、そして、前記長手方向へ配線したワード線と、前記直交方向へ配線したピット線対と、所定数のピット線対ごとに1つずつ設け且つサブアレイ内の単位ブロック共通に使用するようにしてサブアレイの上部で前記直交方向へ配線したデータ入出力線対と、ピット線対及びデータ入出力線対の間の接続選択を行う列ゲートと、基準ブロックごとに列ゲートを選択するための前記直交方向へ配線した列選択線と、所定数のデータ入出力線対ごとに1つずつ設けたメインデータ入出力線対と、データ入出力線対及びメインデータ入出力線対の間の接続を行うためのマルチブレクサと、を備え、サブアレイ内の単位アレイに対し、メインデータ入出力線対数分のデータアクセスを行えるようになっていることを特徴と

する半導体メモリ装置。

【請求項5】 メモリセルを長方形状に集積したメモリセルアレイを有する半導体メモリ装置において、多数のメモリセルを貯蔵した基準ブロックと、この基準ブロックをアレイ長手方向へ複数ずつ配設してなる単位アレイと、この単位アレイを前記長手方向の直交方向へ複数ずつ配設してなるサブアレイと、からメモリセルアレイを構成し、そして、前記長手方向へ配線したワード線と、前記直交方向へ配線したピット線対と、 2^n (nは自然数) 個のピット線対ごとに1つずつ設け且つサブアレイ内の単位ブロック共通に使用するようにして前記直交方向へ配線したデータ入出力線対と、ピット線対及びデータ入出力線対との間の接続選択を行う列ゲートと、基準ブロックごとに列ゲートを選択するための前記直交方向へ配線した列選択線と、読出動作で 2^n 個のピット線対のいずれかをデータ入出力線対へ選択接続するための読出選択信号線と、書き動作で 2^n 個のピット線対のいずれかをデータ入出力線対へ選択接続するための書き選択信号線と、所定数のデータ入出力線対ごとに1つずつ対応させてマルチブレクサを介し接続したメインデータ入出力線対と、を備えることを特徴とする半導体メモリ装置。

【請求項6】 読出選択信号線と書き選択信号線をワード線方向へ配線した請求項5記載の半導体メモリ装置。

【請求項7】 メモリセルを長方形状に集積したメモリセルアレイを有する半導体メモリ装置において、ワード線をアレイ長手方向へ配線すると共にピット線を前記長手方向の直交方向へ配線し、そして、前記直交方向へ、ピット線に対しデータ伝送を行うデータ入出力線及びこのデータ入出力線とピット線との電気的接続を選択するための列選択線を配線したことを特徴とする半導体メモリ装置。

【請求項8】 対をなすデータ入出力線の対間に列選択線を配線するようにした請求項7記載の半導体メモリ装置。

【請求項9】 データ入出力線を所定数ずつマルチブレクサを介してメインデータ入出力線へ接続するようにした請求項7又は請求項8記載の半導体メモリ装置。

【請求項10】 メモリセルアレイを複数のバンクに分割形成し且つその各バンクをワード線方向で分割してサブアレイとし、その各サブアレイごとに列デコーダ及び行デコーダを設け、更に、各サブアレイをピット線方向で分割して単位アレイとし且つその各単位アレイをワード線方向で分割して基準ブロックとし、そして、データ入出力線をサブアレイ内の単位アレイ共通に設け、列選択線により基準ブロックごとにピット線とデータ入出力線との間の接続選択を行うようにした請求項7～9のいずれか1項に記載の半導体メモリ装置。

【請求項11】 1データ入出力線に対し所定数ずつ接続させるようにしたピット線を選択するためのピット線

選択信号を発生し、列選択線による列選択信号で基準ブロックごとにビット線接続するデータ入出力線を選択し且つこの選択したデータ入出力線についての前記所定数のビット線のいずれかをビット線選択信号により選択して接続を行う請求項10記載の半導体メモリ装置。

【請求項12】 ビット線選択信号用の信号線をワード線方向へ配線するようにした請求項11記載の半導体メモリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体メモリ装置(semiconductor memory)に関するもので、特に、多重入出力線(multi I/O line)の形成されるチップアーキテクチャ(chip architecture)を実現することにより、高帯域幅(high bandwidth)の達成を可能とする半導体メモリ装置に関するものである。

【0002】

【従来の技術】 半導体メモリ装置の設計において考慮すべき事項のうち、特に重要なものは適切なチップアーキテクチャの選定である。即ち、この分野でよく知られているように、メモリの性能を示すパラメータ、例えば消費電力、動作速度、チップサイズ等はアーキテクチャに左右されるとあっても過言ではなく、チップアーキテクチャが柔軟(flexible)であるほど、これらの要求を最大限に満足させられるようになる。このチップアーキテクチャの設計における柔軟性(flexibility)は、周辺回路の変更、追加、そして集積度を増す場合でも基本的骨格構造は維持しつつ、同時に容易にこれらの変化に対応できる点が重要である。

【0003】 現在の半導体メモリ装置の開発は大容量・高集積化と共に高帯域幅を目指す傾向にあり、単純な高集積メモリ装置ではなく、メモリが組み込まれるシステムのシステム速度との同期化が可能な性能を備えた高帯域幅の新たな概念のメモリ装置の開発が進められている。例えば、64M級以上の容量を有するメモリ装置、特に256MDRAMをマザーバージョン(mother version)とするRAMバスDRAMや同期式DRAMの場合、1動作サイクルで256ビットのデータ数を処理しなければならない。従って、このような高帯域幅メモリ装置の開発に対応するために、256ビット級マザーバージョンとして使用されるメモリ装置のチップアーキテクチャとしては、256ビット(1サイクル)程度の内部帯域幅をもたせるべきである。このような傾向に合わせて帯域幅を高められるようなチップアーキテクチャについては、未だ開発研究の途上にある。

【0004】 また、大容量化が進められるとチップのサイズもそれに比例して大きくなり、その各配線の負荷/loadingも増加してデータの読み出し・書き込みに影響してくるため、新たなチップアーキテクチャの必要性が更に増してきている。

【0005】 以上的事情に関連して図11に、現在提案されている256M級用のチップアーキテクチャを示す。このアーキテクチャに基づいた内部列系回路の構成は、例えば米国特許第5,247,482号“SEMICONDUCTOR MEMORY DEVICE WITH SPEED WRITE OPERATION”等に詳しい。

【0006】 256M級のDRAMを構成するためには、折返し(folded)ビット線構造を採択した場合、32K個のワード線(WL)と16K個のビット線(BL)が必要である。勿論、今後1ビット線に512個のセルを接続する技術の採用も予想されるが、現時点では大凡1ビット線につき256個のセルを接続する傾向にあるので、1つのワード線により2Mアレイ(array)が活性化(activation)されることになる。このメモリ装置で、リフレッシュサイクルを16Kと仮定すると一度の行アドレスストローブ信号バーRASの活性化(enable)により、チップ全体で2行分のワード線が活性化されるので、256Mのチップ全体では8Mアレイが活性化される。

【0007】 この図11に示すように、長方形状とされるメモリセルアレイの各バンクのアレイ長手方向へ列配列し且つアレイ長手方向の直交方向へ行配列し、アレイ長手方向端部に列デコーダ、アレイ長手方向の直交方向端部に行デコーダを配置する構造で、活性化されるアレイのセンスアンプ領域に2対のデータ入出力線を配設する構成であれば、2Mアレイから得られるデータはデータ入出力線の個数と同じ4個となる。従って、256Mのチップ全体では16ビットのデータを得られる。しかしこれは所望の内部帯域幅256ビットと大きな開きがあるので、高帯域幅を得るのは困難である。また、このアーキテクチャでは、データ入出力線の線負荷(line loading)、及び、データ入出力線とビット線とを接続するゲートトランジスタの接合負荷(junction loading)が大きいので、読出時の入出力線電圧展開(develope)がし難くなる。そして、図11のようなデータ入出力線がゲートトランジスタを通じてビット線と直接接続される構成なので、接合負荷及びビット線に損傷を与える可能性があり、高集積のメモリ装置の構造としては適切でないとの評価がある。

【0008】 図12は、図11の構成での線負荷を軽減させ、図11よりは高帯域幅を得られるようにした例を示している。この構成は、“1991 SYMPOSIUM ON VLSI CIRCUITS”の第133～134頁に開示されている論文; “Circuit Techniques for a Wide Word I/O Path 64 Mega DRAM”にある技術である。

【0009】 この図12の技術では、データ入出力線の線負荷をサブデータ入出力線(SUB I/O)、局部データ入出力線(LOCAL I/O)の使用で軽減せざるようにしてあり、所定個数のセンスアンプをサブデータ入出力線に統合し、差動增幅ステージを通じて局部データ

タ入出力線にデータを送るようにしている。このような方式を使用すればある程度の内部帯域幅を実現することは可能であるが、書込時にデータが経るNMOSトランジスタの個数が多いという大きな改善点がある。これを詳細に説明するために、図12のデータ入出力経路をブロック図で簡略に図13に示す。

【0010】書込時(図中右)、局部データ入出力線に送られるデータは、選定されたブロックの列情報を有する列情報信号(S/E C S E L E C T)の活性化によりトランジスタ2(図12)を通過し、そして、サブデータ入出力線を決定する書込活性化信号(YWR I T E)が活性化するとトランジスタ4(図12)を通じてサブデータ入出力線に伝送される。更に、1つのサブデータ入出力線に接続された多数のビット線のうちの選択対象のビット線を示す情報信号(S/A S E L E C T)が活性化すると、トランジスタ10(図12)を介してビット線にデータが送られる。このように、書込時に3個のNMOSトランジスタを経由しなければデータ入出力線からビット線までデータが伝送されないので、線負荷が大きくなる大容量・高集積のメモリ装置では書込動作に不利となる、という改善点がある。
20

【0011】

【発明が解決しようとする課題】以上のような従来技術に着目して本発明では、容易に高帯域幅が得られるチップアーキテクチャで構成した半導体メモリ装置の提供を目的とする。また、データ読出・書込時の更なる高速アクセスを可能にするチップアーキテクチャで構成した半導体メモリ装置の提供を目的とする。加えて、データ伝送におけるビット線及びデータ入出力線による線負荷を抑制可能な半導体メモリ装置の提供を目的とする。そして、上述のようなビット線とメインデータ入出力線との間に別途の局部データ入出力線等を設けなくとも高帯域幅が得られ、書込動作を高速に行えるようなチップアーキテクチャで構成した半導体メモリ装置の提供を目的とする。
30

【0012】

【課題を解決するための手段】このような目的を達成するために本発明による半導体メモリ装置は、1本のワード線選択に対応して多数のビット線がそれぞれ、少なくとも同時に相互に異なる対応データ入出力線へ接続され、それにより高帯域幅を得ることが可能なチップアーキテクチャを提案する。

【0013】即ち本発明による半導体メモリ装置は、メモリセルを長方形形状に集積したメモリセルアレイを有する半導体メモリ装置において、ワード線をアレイ長手方向へ配線すると共にビット線を前記長手方向の直交方向へ配線し、そして、前記直交方向へ、ビット線に対しデータ伝送を行うデータ入出力線及びこのデータ入出力線とビット線との電気的接続を選択するための列選択線を配線することを特徴とする。この場合、列デコーダ及び

行デコーダの配置関係は、前述の従来例とは逆の関係になる。また、このような構造とする際には、対をなすデータ入出力線の対間に列選択線を配線するとなおよい。更に、データ入出力線を所定数ずつマルチブレクサを介してメインデータ入出力線へ接続し、このメインデータ入出力線からデータ入力、出力を行うようにもできる。このときには、一度に入出力できるビット数の調整についてより柔軟性が増すことになる。

【0014】加えて、上記構成とした半導体メモリ装置について、メモリセルアレイを複数のバンクに分割形成し且つその各バンクをワード線方向で分割してサブアレイとし、その各サブアレイごとに列デコーダ及び行デコーダを設け、更に、各サブアレイをビット線方向で分割して単位アレイとし且つその各単位アレイをワード線方向で分割して基準ブロックとし、そして、データ入出力線をサブアレイ内の単位アレイ共通に設け、列選択線により基準ブロックごとにビット線とデータ入出力線との間の接続選択を行うようにすることを特徴とする。そしてこの場合に、1データ入出力線に対し所定数ずつ接続させるようにしたビット線を選択するためのビット線選択信号を発生し、列選択線による列選択信号で基準ブロックごとにビット線接続するデータ入出力線を選択し且つこの選択したデータ入出力線についての前記所定数のビット線のいずれかをビット線選択信号により選択して接続を行うことを特徴とする。このとき特に、ビット線選択信号用の信号線をワード線方向へ配線すると、より大なる高帯域幅を得ることが容易となる。

【0015】より具体的には、本発明による半導体メモリ装置は、メモリセルを長方形形状に集積したメモリセルアレイを有する半導体メモリ装置において、それぞれ多数のメモリセルを貯蔵した複数の基準ブロックからメモリセルアレイを構成し、そして、アレイ長手方向へ配線したワード線と、前記長手方向の直交方向へ配線したビット線対と、アレイ上部で前記直交方向へ配線して所定数のビット線対ごとに1つずつ設けたデータ入出力線対と、基準ブロックごとにビット線対及びデータ入出力線対の間を選択接続するための前記直交方向へ配線した列選択線と、を備えることを特徴とする。

【0016】また、メモリセルを長方形形状に集積したメモリセルアレイを有する半導体メモリ装置において、それぞれ多数のメモリセルを貯蔵した複数の基準ブロックをアレイ長手方向へ配設した単位アレイからメモリセルアレイを構成し、そして、前記長手方向へ配線したワード線と、前記長手方向の直交方向へ配線したビット線対と、ワード線を選択するための行デコーダと、ビット線対を選択するための列デコーダと、所定数のビット線対ごとに1つずつ設け且つ所定数の単位アレイ共通に使用するようにして前記直交方向へ配線したデータ入出力線対と、基準ブロックごとにビット線対及びデータ入出力線対の間を選択接続するための、データ入出力線対の対

間に前記直交方向へ配線した列選択線と、前記直交方向へ配線して所定数のデータ入出力線対ごとに1つずつ設けたメインデータ入出力線対と、を備え、メモリ活性化時に前記長手方向へ単位アレイが活性化されることを特徴とする。

【0017】或いは、メモリセルを長方形状に集積したメモリセルアレイを有する半導体メモリ装置において、多数のメモリセルを貯蔵した基準ブロックと、この基準ブロックをアレイ長手方向へ複数ずつ配設してなる単位アレイと、この単位アレイを前記長手方向の直交方向へ複数ずつ配設してなるサブアレイと、からメモリセルアレイを構成し、そして、前記長手方向へ配線したワード線と、前記直交方向へ配線したピット線対と、所定数のピット線対ごとに1つずつ設け且つサブアレイ内の単位ブロック共通に使用するようにしてサブアレイの上部で前記直交方向へ配線したデータ入出力線対と、ピット線対及びデータ入出力線対との間の接続選択を行う列ゲートと、基準ブロックごとに列ゲートを選択するための前記直交方向へ配線した列選択線と、所定数のデータ入出力線対ごとに1つずつ設けたメインデータ入出力線対と、データ入出力線対及びメインデータ入出力線対との間の接続を行うためのマルチブレクサと、を備え、サブアレイ内の単位アレイに対し、メインデータ入出力線対数分のデータアクセスを行えるようになっていることを特徴とする。

【0018】或いはまた、メモリセルを長方形状に集積したメモリセルアレイを有する半導体メモリ装置において、多数のメモリセルを貯蔵した基準ブロックと、この基準ブロックをアレイ長手方向へ複数ずつ配設してなる単位アレイと、この単位アレイを前記長手方向の直交方向へ複数ずつ配設してなるサブアレイと、からメモリセルアレイを構成し、そして、前記長手方向へ配線したワード線と、前記直交方向へ配線したピット線対と、 2^n

(nは自然数)個のピット線対ごとに1つずつ設け且つサブアレイ内の単位ブロック共通に使用するようにして前記直交方向へ配線したデータ入出力線対と、ピット線対及びデータ入出力線対との間の接続選択を行う列ゲートと、基準ブロックごとに列ゲートを選択するための前記直交方向へ配線した列選択線と、読出動作で 2^n 個のピット線対のいずれかをデータ入出力線対へ選択接続するための読出選択信号線と、書込動作で 2^n 個のピット線対のいずれかをデータ入出力線対へ選択接続するための書込選択信号線と、所定数のデータ入出力線対ごとに1つずつ対応させてマルチブレクサを介し接続したメインデータ入出力線対と、を備えることを特徴とする。この場合の読出選択信号及び書込選択信号が上述のピット線選択信号であり、従って読出選択信号線と書込選択信号線はワード線方向(前記長手方向)へ配線するとよい。

【0019】

【実施例】以下、本発明の好適な実施例を添付の図面を参照して詳細に説明する。尚、共通する部分についてはできるだけ同じ符号を付してある。

【0020】以下の説明においては、データ入出力線等の垂直構造、ピット線センシング回路、及びマルチブレクサ等の特定詳細を本発明のより全般的な理解のために提供する。しかしながら、以下の詳細な説明を参照すればそれら特定詳細でなくとも本発明を実施可能であることは、この技術分野で通常の知識を有する者であれば自明であろう。また、以下の説明で使用する用語の中で、“単位アレイ”は、所定数の組に分けたワード線の1組に対応するセルアレイを意味し、“サブアレイ”は、1群の行デコーダと1群の列デコーダによって選択可能なセルアレイであって、1つのマルチブレクサに接続されたデータ入出力線を共有する複数個の単位アレイからなるセルアレイを意味する。

【0021】図1及び図2は、本発明によるチップアーキテクチャで構成した半導体メモリ装置の平面構造を示す。これら図1及び図2に示すのは、本発明による新たなチップアーキテクチャで、256MDRAMの場合を一例として示してある。尚、図1及び図2は1チップにおけるもので、図1中の右上に示すような連結関係にある。これら図面に基づく次の説明は、特に、図1に示した従来のチップアーキテクチャに比べると、より容易に理解できるであろう。

【0022】図1及び図2に示すように、このメモリ装置のメモリセルアレイは長方形で4個のバンク(bank)構成とされ、図中上側と下側に各1つずつ2個のバンクがそれぞれ図示してある。そして、1つのバンク内には2つのサブアレイ22が設けられ、更に、1つのサブアレイ22内には、アレイ長手方向の直交方向(図中縦方向)で分割した16個の単位アレイ12が設けられている。1つの単位アレイ12には 2^M ($M=2^n$)のメモリセルが集積しており、従って、1つのサブアレイ22は $2^M \times 16 = 32M$ で、1つのバンクは64Mである。また、サブアレイ22のアレイ長手方向(図中横方向)端部に行デコーダ18が設けられている。つまり、1バンクをアレイ長手方向で分割して64Mを32Mに区分担当するように設けてあり、ワード線負荷が低減されている。従って、このメモリ装置は、アレイ長手方向へ配線したワード線方向へメモリの活性化が遂行される。即ち、図1及び図2に示すように、アレイ長手方向の同じ行に存在する単位アレイ12ごとに活性化が行われる。

【0023】この例の構成において、ピット線(BL)、データ入出力線(I/O)、列選択線(CSL)は、アレイ長手方向の直交方向に配線されている。そして、特に相互の信号干渉を考慮して、列選択線が互いに直接隣接しないように、更に、データ入出力線とその相補データ入出力線(バーI/O)も互いに直接隣接しない

ように形成しておくのがよい。尚、図1及び図2では混同を避けて分かりやすく示すため、1つのバンク内の2つのサブアレイ22について、一方はデータ入出力線のみを示し、他方は列選択線のみを示すようにしてある。これらデータ入出力線や列選択線は、1つのサブアレイ22内にすべて存在することは当然である。

【0024】図1及び図2に示すチップアーキテクチャの一一番大きな特徴は、より多くのデータを一度に読出すための図12に示すような局部データ入出力線が不要なこと、更には書込動作を高速実行できることである（詳しくは後述）。

【0025】上記構成による高帯域幅の達成を説明するところの通りである。32Mのサブアレイ22内でメモリブロックを構成する単位アレイ12は、512本で1組にしたワード線にそれぞれ対応させてある。そして、単位アレイ12において、512本（即ち256対）で1組にしたビット線にそれぞれ対応させて基準ブロックが16個形成されている。即ち、各単位アレイ12はアレイ長手方向で16個に分割されて基準ブロックが設けられている。これから分かるように1つの基準ブロックは128Kとされ、従って1つの単位アレイ12内には、4096（256列×16）対のビット線が設けられている。

【0026】リフレッシュサイクルを16K単位で実行する場合、64Mの1バンクで1つのワード線と2Mの単位アレイ12が活性化される。このときの単位アレイ12についてのデータ入出力線の個数は次のようになる。即ち、 2^6 対のビット線を1つのデータ入出力線対に接続すると、 $4096 / 2^6 = 2^6$ 対の入出力線（相補対）を設けることになる。このデータ入出力線をマルチプレクサ（multiplexer）20を通じて一定個数ずつ統合すれば、 2^6 対のメインデータ入出力線（MIO：これも相補対）を得られる。つまり、一度の行アドレスストローブ信号バーRASの活性化で、単位アレイ12に接続した 2^6 対のデータ入出力線、及び 2^6 対のメインデータ入出力線を得ることができ、そして256Mのチップ全体では、 $2^6 \times 4$ ビットのデータを得ることが可能となる。例えば、8対のビット線を1対のデータ入出力線に接続した場合、単位アレイ12についてのデータ入出力線は512対（ $2^6 = 8$ ）となり、そして、8対のデータ入出力線を1対のメインデータ入出力線に接続したとすると、メインデータ入出力線は64対となる。従って、1つのサブアレイ22に64対のメインデータ入出力線が存在すれば、結果的に256Mのチップ全体から一度に256ビットのデータが得られる。

【0027】このようにこの実施例のチップアーキテクチャは、半導体メモリ装置の開発傾向に応じて更に多くのビット数が必要とされる場合でも、データ入出力線に接続するビット線数、そしてメインデータ入出力線に接続するデータ入出力線数を調節して最適とできる柔軟性

をもつことになる。

【0028】図3は、図1及び図2のチップアーキテクチャの理解を容易にするために概略的に示すもので、データ入出力線と列選択線の配線構造の一例を示す。同図に示すように、データ入出力線とその相補データ入出力線との間に列選択線を配置する構造をチップ上で繰り返す方法で配線されている。この本発明による配線構造と従来の配線構造とを比較してみる。

【0029】先ず、図12に示すような従来技術のデータ入出力線及び列情報信号（SELECT）線の配線構造では、ビット線情報信号（S/A SELECT）線をビット線の各対ごとに1つずつ必要とする。そして、同じ方向にサブ・局部の2つのデータ入出力線、列情報信号線、読出活性化信号（READ）線、書込活性化信号（WRITE）線を配線しなければならない。即ち、少なくとも5種類を配線する基本構造を反復させることになる。このため、高帯域幅を得るためにより多くのデータ入出力線が必要となる場合に、集積性に影響してくるのは明らかである。

【0030】一方、この実施例によれば、データ入出力線と列選択線の2種類を配線する基本構造を反復させればよいので集積性に優れており、しかも配線位置をアレイ上部とできるので、高帯域幅を得るためにデータ入出力線を容易に増やすことが可能である。また、この例のようにデータ入出力線の相補対の間に列選択線を配線する構造とすれば、データ入出力線対間で電位展開時に発生し得る容量カッピングを抑制できるし、更に、列選択線間についても隣接を防げるので同様の作用を得られる。但し、これは最適例であり、データ入出力線及び列選択線の配設はこれ以外にも、容量カッピング等を気にしないで“IO-バー IO-CSL”的な配線構造とすることも勿論可能で、多様に変形できる。

【0031】加えて、図3に示すように、データ入出力線及び列選択線の配線層を上層としてその下層にビット線及びワード線の配線層を設けるようにし、そして、ワード線は上述のようにアレイ長手方向へ形成すると共に、ビット線、データ入出力線、及び列選択線はアレイ長手方向の直交方向へ互いに平行に形成すると好ましい。即ち、製造工程やレイアウト・集積化を容易に設計できる。

【0032】図4は、図1及び図2のチップアーキテクチャに従った場合の列(column)系回路、具体的にはビット線センシング回路の一例を示す概略回路図である。このうち、点線ブロック24で示す部分がビット線データ感知動作に直接的に関与するビット線センシング回路である。この例のビット線センシング回路24は次のような構成とされている。

【0033】先ずセンスアンプ14（図1及び図2）は、ビット線対（BL, バーBL）に接続されてビット線データを感知增幅するP形センスアンプ32及びN形

センスアンプ34からなる構成としてある。

【0034】 NMOSFETで形成したトランジスタ36, 38, 42, 44から書込系スイッチ回路が構成されている。書込用トランジスタ36は、書込選択信号(WS: Write Select)をゲート端子に受けてデータ入出力線(IO)にドレイン端子が接続されており、そして書込用トランジスタ42は、書込選択信号をゲート端子に受けて相補データ入出力線(バーIO)にドレイン端子が接続されている。また、書込用トランジスタ38は、列選択信号(CSL: 列選択線で伝送される信号)をゲート端子に受け、書込用トランジスタ36のソース端子とビット線(BL)との間にチャネル接続されており、そして書込用トランジスタ44は、列選択信号をゲート端子に受け、書込用トランジスタ42のソース端子と相補ビット線(バーBL)との間にチャネル接続されている。

【0035】一方、NMOSFETで形成したトランジスタ40, 46, 48, 50, 52が読出系スイッチ回路を構成している。放電用トランジスタ40は、列選択信号をゲート端子に受けて接地端(GND)にソース端子が接続されている。読出用トランジスタ46は、ビット線にゲート端子が接続され、放電用トランジスタ40のドレイン端子にソース端子が接続されており、そして読出用トランジスタ48は、読出選択信号(RS: Read Select)をゲート端子に受け、読出用トランジスタ46のドレイン端子と相補データ入出力線との間にチャネル接続されている。また、読出用トランジスタ50は、相補ビット線にゲート端子が接続され、放電用トランジスタ40のドレイン端子にソース端子が接続されており、そして読出用トランジスタ52は、読出選択信号をゲート端子に受け、読出用トランジスタ50のドレイン端子とデータ入出力線との間にチャネル接続されている。

【0036】以上のうち、列選択信号により制御されるトランジスタ38, 40, 44が列選択、即ちビット線とデータ入出力線との接続選択を実質的に行う列ゲートである。更に図4には、上記ビット線センシング回路24の他に、ワード線(WL)の活性化で選択されるメモリセル26と、図中左側のビット線対を等化するための等化回路28I、図中左側のビット線対用の分離トランジスタ30I、そして、図中右側のビット線対を等化するための等化回路28J、図中右側のビット線対用の分離トランジスタ30Jを示してある。これらは、説明するまでもなくよく知られた回路構成である。

【0037】読出選択信号及び書込選択信号用の各信号線は、上述の図1～図3で考えた場合、データ入出力線や列選択線の配線方向に対する直交方向、即ちアレイ長手方向へ配線する。また、図4中に示した各制御信号、ΦEQI, ΦISOI, LA, バーLA, ΦISOJ, ΦEQJについては、本願出願人による1992年7月50

13日付韓国特許出願92-12436号『ヒューズボックスを共有する行冗長回路』に開示されている。尚、本発明に係るチップアーキテクチャに沿ったメモリ装置におけるビット線センシング回路については、図4に示す実施例に限られるものではないことは勿論である。例えば、読出選択信号及び書込選択信号からなるビット線選択信号を用いずとも、列選択信号のみでデータ入出力線へのビット線接続選択を行う構成等は容易に想到できよう。

【0038】ビット線センシング回路24によるセンシング動作、即ちセルデータの読出・書込について、その読出・書込動作の各タイミングを示した図5及び図6の信号波形図を参照して説明する。

【0039】読出動作(図5)では、よく知られているように、行アドレスストローブ信号バーRAS及び列アドレスストローブ信号バーCASの活性化入力に同期して行アドレス及び列アドレスが入力され、メモリセルが選択される。この実施例では、256M級DRAMを対象にし、256ビットのデータを出力する場合を例として説明するので、先の説明で例示したように1対のデータ入出力線に8対のビット線が接続されることになる。1つの列選択線は、各基準ブロックごとに読出を行うデータ入出力線を選択するので、この例の場合、データ入出力線に接続されている8対のビット線を同時選択する役割をもつ。そして、この8対のビット線のうちの1つを選択するのはビット線選択信号である読出選択信号で、この読出選択信号は、デコーディングされたアドレスDCA0, 1, 2の組合せから発生させる。

【0040】ワード線の活性化によってメモリセル26に記憶されたデータがビット線に伝えられると、そのデータに従ってビット線と相補ビット線との間に電位差が発生し、この電位差がセンスアンプ14により増幅される。すると、このビット線データに応答して読出用トランジスタ46, 50のうちのいずれか1つがONする。このとき、列選択信号に応じて選択対象の放電用トランジスタ40はONの状態にあり、そして、読出選択信号により選択対象の読出用トランジスタ48, 52もONしている。これにより、データ入出力線対のいずれか一方のプリチャージ電圧が、読出系スイッチ回路に形成される導通経路を介して接地端へ放電される。その結果、データ入出力線対の間に電位差が発生し、これが例えばデータ入出力線センスアンプ(図示略)のような増幅手段によって増幅され、図1及び図2のメインデータ入出力線へ伝達される。尚、データ入出力線の増幅手段は、データ入出力線対間の電位差が十分に発生するものであれば不要な手段である。

【0041】このように、列選択信号及び読出選択信号により、基準ブロックごとに読出を行うデータ入出力線が選択され、更にその各データ入出力線について8対のビット線のいずれか一つが選択され、これに応じていず

れかの読出用トランジスタ 48, 52 を経てデータ入出力線へデータが伝えられる。そして、このデータは、図 1 及び図 2 に示したマルチブレクサ 20 を介してメインデータ入出力線へ伝達される。これを図 1 及び図 2 に照らしてみれば、1 つの基準ブロック担当のメインデータ入出力線は 4 対設けられるので 1 基準ブロック内で列選択信号に応じてデータ伝送を行うデータ入出力線は 4 対で、且つ単位アレイ 12 内には基準ブロックが 16 個設けられるので、1 つのサブアレイ 22 につき 64 対のメインデータ入出力線を通じて 64 ビットのデータが得られる。

【0042】次に、書込動作（図 6）について説明する。チップ外部から所定のデータがデータ入力バッファ（図示略）を介して入力され、メインデータ入出力線へ伝えられると、これが更にデータ入出力線へ伝送される。そして、書込対象の列を選択する列選択信号が活性化し、またデータ入出力線に接続された 8 対のビット線ビット線のいずれか 1 つを選択する書込選択信号が活性化すると、データ入出力線へ伝えられた書込データは、書込系スイッチ回路の導通経路、即ち書込用トランジスタ 36, 38, 42, 44 を通じてビット線へ送られる。この場合、データ入出力線からビット線へのデータ伝送に NMOS トランジスタ 2 個を経るだけなので、高速伝送が可能である。尚、図 6 中の DQ が書込データであり、また、バー WE は書込開始信号を表し、WR は書込開始信号バー WE に応答して内部的に発生させる内部書込動作信号で、書込開始信号バー WE のチップ内入力に際して各回路に書込動作を知らせる信号を表す。よく知られているようにこの信号 WR はチップ内の所定回路により生成され、信号バー WE の受信で書込期間に論理 “ハイ” で提供される。

【0043】図 7 に、上記のようなデータ入出力の経路、過程について分かりやすく簡略にブロック図で示しておく。

【0044】以上に説明したように、本発明によるチップアーキテクチャに沿えば、例えば 256 ビットの出力のような高帯域幅を達成するために、前述の図 12 に示したような複雑な構成とする必要はない。従って線負荷の問題は、メインデータ入出力線とデータ入出力線を考慮するのみで解決できるので、高帯域幅達成という前提条件を考えると、従来のアーキテクチャに比べて線負荷を格段に抑えることができる。更に、書込速度やチップサイズ等の集積性に直接的な影響を与えるレイアウトでも有利である。従来の技術においては、アレイ上列方向に、局部データ入出力線（LOCAL IO）、サブデータ入出力線（SUB IO）、書込活性化信号線（Y WRITE）、読出活性化信号線（Y READ）、列情報信号線（SEC SELECT）の 5 種類を基本的に配線しなければならないのに対し、本発明によれば、アレイ上列方向にはデータ入出力線と列選択線の 2 種類を

基本的に配線すればすむので、集積性に大変優れている。そして、アレイ長手方向にワード線、読出選択信号線、書込選択信号線を配線し、このアレイ長手方向の直交方向にビット線、データ入出力線、列選択線を配線すれば、多重ビットのデータ入出力に対して非常に効果的である。先に説明したように 2⁸ 対のビット線を 1 対のデータ入出力線に接続する場合、2⁸ 対のデータ入出力線と 2⁸ 個の列選択線を設け、基準ブロックに対し、1 対のデータ入出力線、1 本の列選択線をアレイ長手方向の直交方向に規則的に反復配列させられるレイアウトができる。多重データの入出力のために、この方向にレイアウトサイズを最小化できることは非常に有利である。

【0045】図 1 及び図 2 に示したデータ入出力線とメインデータ入出力線との間でマルチブレキシングを行うマルチブレクサ 20 の構成例を図 8 に示す。この図 8 には、多数の単位マルチブレクサ 60 から 1 つのマルチブレクサ 20 を構成する例を示している。上述のように 256 ビットのデータを出力する構成に合わせれば、単位マルチブレクサ 60 は、1 対のメインデータ入出力線当たり 8 つずつの割当て数となることは容易に理解できよう（i = 8）。

【0046】図 9 の回路図に、図 8 の単位マルチブレクサ 60 の具体的回路例を示してある。伝送（transmission）ゲート 62 はデータ入出力線とメインデータ入出力線、伝送ゲート 64 は相補データ入出力線と相補メインデータ入出力線（バー M I O）の間に設けられており、これら各伝送ゲート 62, 64 は、対応する列選択信号及びその相補信号によりゲート制御される PMOS FET + NMOS FET の CMOS 構成とされている。そして、メインデータ入出力線対間に、NOR ゲート 68、トランジスタ 70, 72, 74 からなるプリチャージ及び等化回路が設けられている。NOR ゲート 68 は、相補列選択信号（バー CSL）と図 10 に示す回路で発生される制御信号 WR OPP とを論理演算し、トランジスタ 70, 72, 74 の動作タイミングを制御する。トランジスタ 70 は、NOR ゲート 68 の出力信号をゲート端子に受け、チャネルがメインデータ入出力線対間に形成された PMOS FET で、メインデータ入出力線対の等化を担当し、そしてトランジスタ 72, 74 は、NOR ゲート 68 の出力信号をゲート端子に受け、各チャネルがメインデータ入出力線対間に直列接続するように形成された PMOS FET で、メインデータ入出力線対のプリチャージを担当する。

【0047】図 10 は、図 9 中に示す制御信号 WR OPP を発生する回路の一例を示す。即ち、NAND ゲート 76 を用いた論理演算と、2 つの直列接続したインバータからなる駆動ステージ 78 によるドライブ（駆動）との単純な回路構成である。尚、同図の入力信号 DCA, COL については、図 5 を参照すれば、その各活性化タイミングと生成過程を容易に把握できるであろう。

【0048】これら図8～図10を参照すると、選択対象の列選択線とこれに対応するデータ入出力線対を活性化させてメインデータ入出力線対へデータ伝送出力をえることが分かる。

【0049】この実施例で示したチップアーキテクチャは本発明の技術的思想を実施する最適の例であり、これを実現するための各回路構成は上記に示した他にも多様な変形が可能であることは、特に説明するまでもなく容易に理解されるであろう。

【0050】

【発明の効果】以上述べてきたように本発明によれば、高集積し易く容易に高帯域幅を達成可能な半導体メモリ装置のチップアーキテクチャが提供される。従って、今後予想されるメモリの多用途化やよりいっそうの大容量化に大きく寄与することができる。また、ワード線選択でアレイ長手方向にアレイが活性化される方式したことにより、行方向・列方向でのレイアウトが従来より容易になるという利点がある。更に、セルアレイとチップのデータ入出力端との間におけるデータ伝送を担当するデータ入出力線について、マルチブレクサを挟んだ2段構造としたことにより、レイアウト効率、集積性の向上に加え、線負荷を軽減させられるという利点を得られる。そして、ビット線とデータ入出力線との接続形式及びデータ入出力線とメインデータ入出力線との接続形式を調整して簡単に接続数を増減できるので柔軟性に優れ、所望の高帯域幅を容易に得られるという利点がある。

【図面の簡単な説明】

【図1】本発明に係るチップアーキテクチャに沿った半導体メモリ装置のレイアウトを示す説明図。

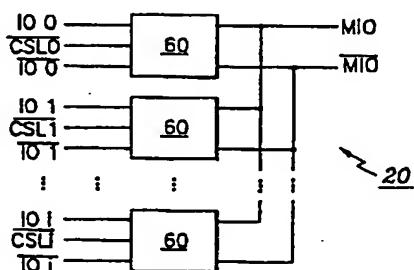
【図2】本発明に係るチップアーキテクチャに沿った半導体メモリ装置のレイアウトを示す図1に続く説明図。

【図3】図1及び図2に示した半導体メモリ装置における配線構造の一例を概略的に示す説明図。

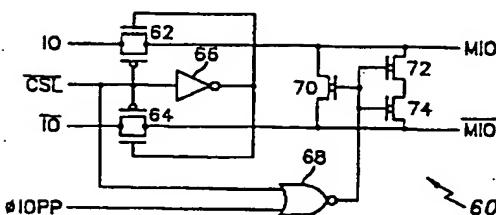
【図4】図1及び図2に示した半導体メモリ装置における列系回路の具体例を示す要部回路図。

【図5】図4の回路を用いた場合の読出動作タイミング*

【図8】



【図9】



* を説明する信号波形図。

【図6】図4の回路を用いた場合の書き動作タイミングを説明する信号波形図。

【図7】図4の回路を用いた場合のデータ入出力経路について概略的に説明するブロック図。

【図8】図1及び図2に示したマルチブレクサ20の構成例を示すブロック構成図。

【図9】図8に示したマルチブレクサを構成する単位マルチブレクサ60の具体例を示す回路図。

【図10】図9に示した単位マルチブレクサに用いられる制御信号φIOPPを発生する回路の一例を示す回路図。

【図11】従来技術によるチップアーキテクチャに沿った半導体メモリ装置のレイアウトを示す説明図。

【図12】従来技術におけるデータ入出力経路の構成を説明する回路図。

【図13】図12の回路を用いた場合のデータ入出力経路について概略的に説明するブロック図。

【符号の説明】

12 単位アレイ

14 センスアンプ

16 列(カラム)デコーダ

18 行(ロー)デコーダ

20 マルチブレクサ

22 サブアレイ

60 単位マルチブレクサ

62, 64 伝送ゲート

66 インバータ

68 NORゲート

70, 72, 74 PMOSトランジスタ

76 NANDゲート

78 駆動ステージ

I/O データ入出力線

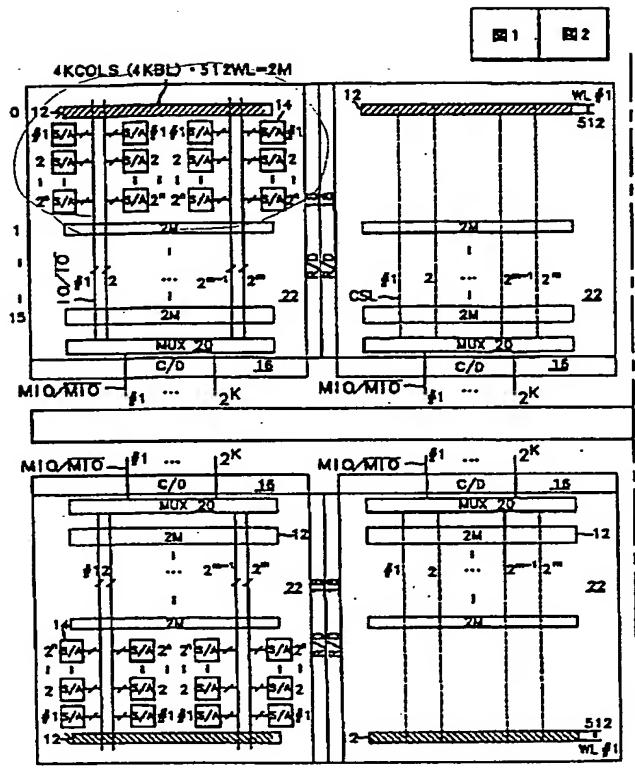
MIO メインデータ入出力線

BL ビット線

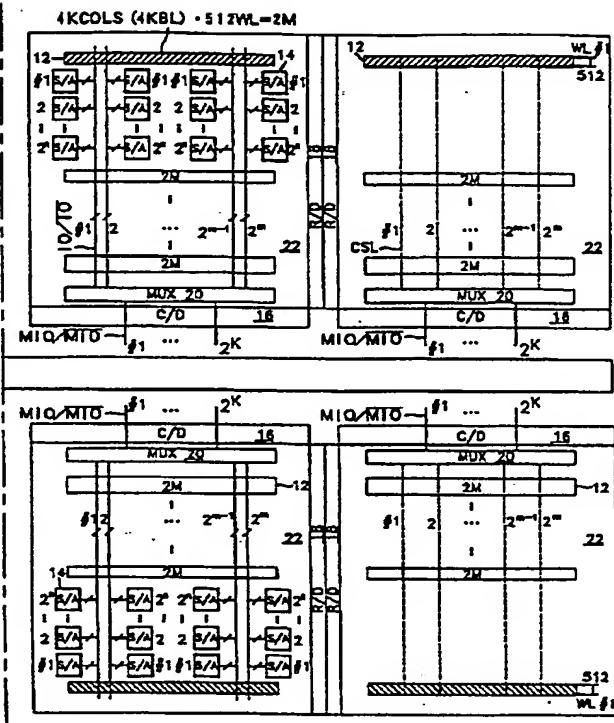
WL ワード線

C SL 列選択線(列選択信号)

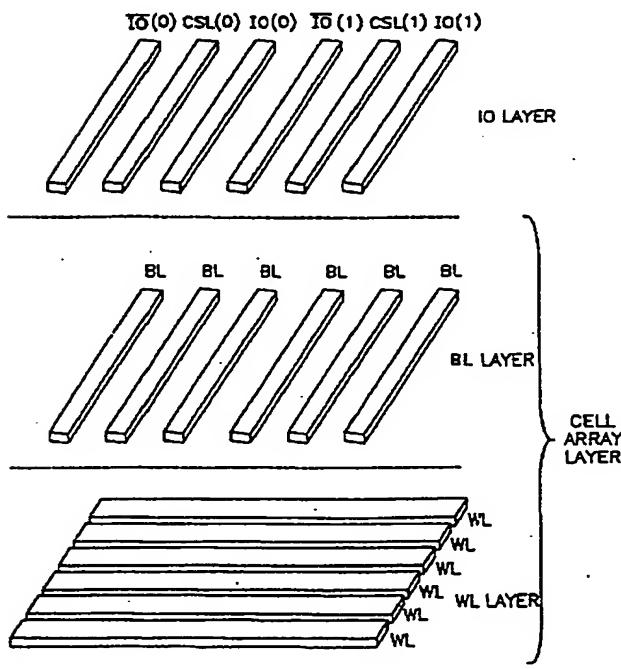
[图 1]



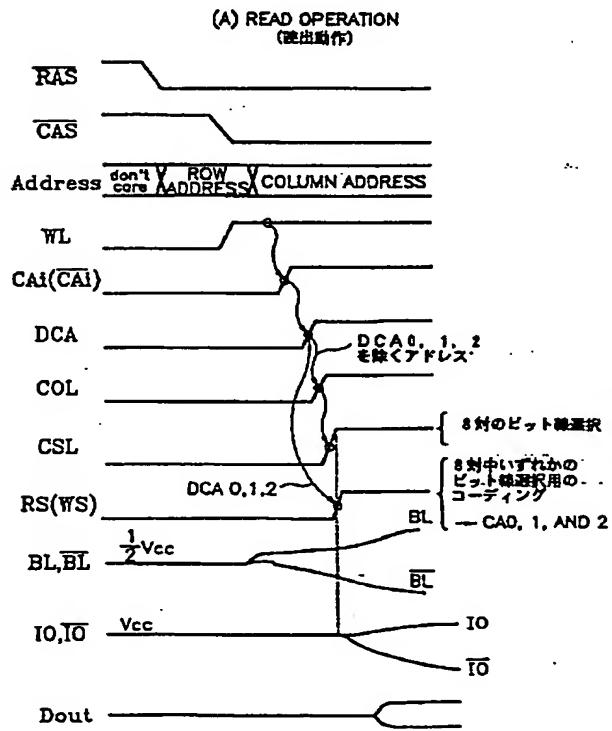
[図2]



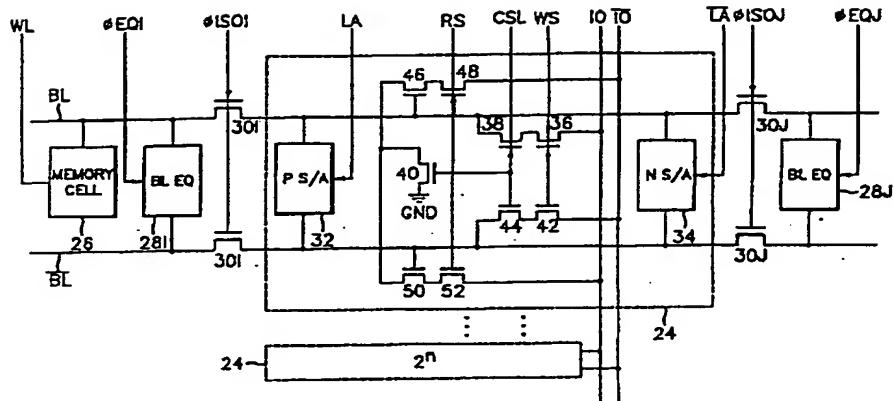
[图 3]



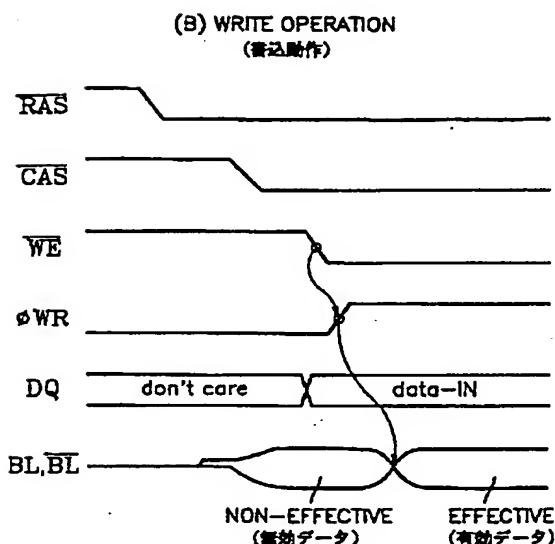
【图5】



[图 4]

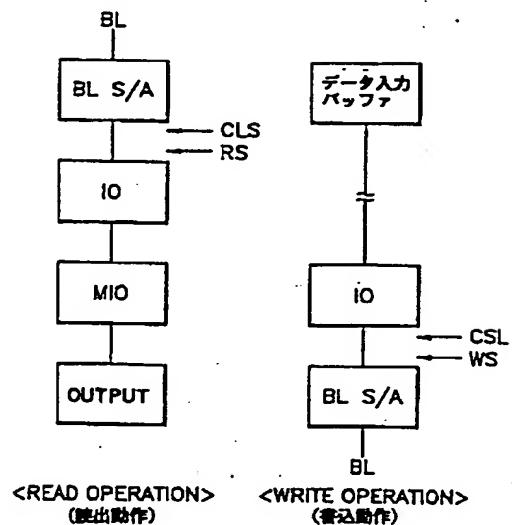


[图 6]

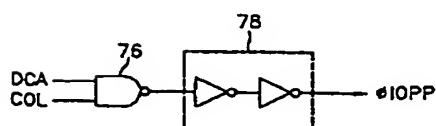


- WSの活性化タイミングはRSと同じ

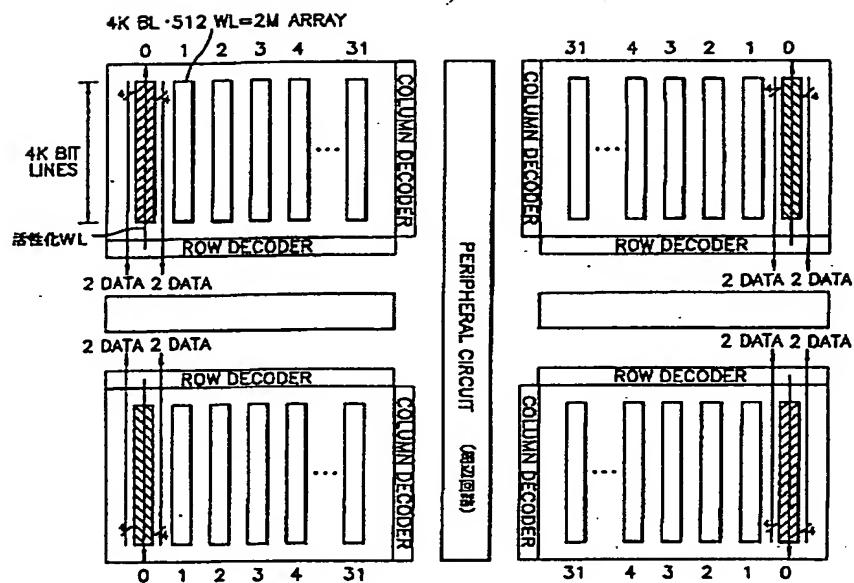
【図7】



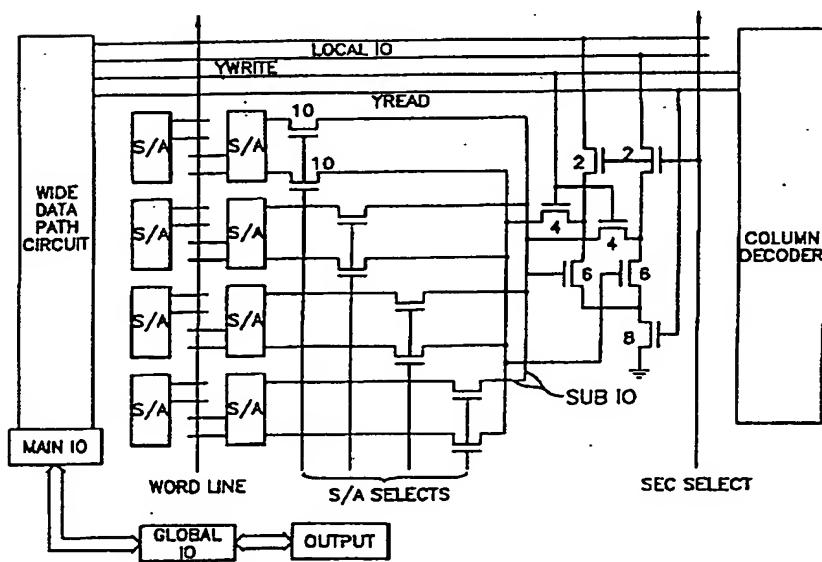
[图 10]



【図11】



【図12】



【図13】

